

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02090267    \*\*Image available\*\*

FORMATION OF DIODE

PUB. NO.:    62-007167 [JP 62007167 A]

PUBLISHED:    January 14, 1987 (19870114)

INVENTOR(s):    HAYASHI HISAO

APPLICANT(s):    SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:    60-146081 [JP 85146081]

FILED:    July 03, 1985 (19850703)

INTL CLASS:    [4] H01L-029/91

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R129 (ELECTRONIC MATERIALS -- Super High Density Integrated  
Circuits, LSI & GS

JOURNAL:    Section: E, Section No. 513, Vol. 11, No. 174, Pg. 1, June  
04, 1987 (19870604)

#### ABSTRACT

**PURPOSE:** To obtain a diode which is strong against an electrostatic damage and is effectively operated by forming a hole for leading source and drain electrodes and simultaneously forming a hole at an insulating layer on the gate electrode of the diode, and further removing the gate electrode.

**CONSTITUTION:** A thin silicon film is coated on a silicon oxide substrate 1, and N-type high density impurity regions 2, 3, 12, 13 are formed. A region therebetween becomes I-type regions 4, 14, and gate electrodes 6, 16 coated with polysilicon similarly patterned are coated further thereon. A PSG is, for example, coated entirely as a protective insulating film 7, and a part is opened to lead electrodes to form holes 9, 10, 19, 20. A hole 8 is formed to expose the electrode 6, an aluminum layer 21 is coated on the entire surface, pattern-etched to form aluminum electrodes 22-25, wired as prescribed, and the electrode 6 on the diode is removed. When the diode is formed and used as a protective diode, a gate electrode is not provided. Thus, the dielectric breakdown is not caused because of the charging even on the insulation substrate.

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

007052553

WPI Acc No: 87-052550/198708

**Protective diode in integrated circuit - produced by depositing  
semiconductor layer on substrate, and forming FET and diode in layer  
NoAbstract Dwg 4/5**

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No   | Kind | Date     | Applicat No | Kind | Date     | Main IPC | Week     |
|-------------|------|----------|-------------|------|----------|----------|----------|
| JP 62007167 | A    | 19870114 | JP 85146081 | A    | 19850703 |          | 198708 B |

Priority Applications (No Type Date): JP 85146081 A 19850703

Title Terms: PROTECT; DIODE; INTEGRATE; CIRCUIT; PRODUCE; DEPOSIT;  
SEMICONDUCTOR; LAYER; SUBSTRATE; FORMING; FET; DIODE; LAYER;  
NOABSTRACT

Derwent Class: U12; U13

International Patent Class (Additional): H01L-029/91

File Segment: EPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-7167

⑫ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)1月14日

H 01 L 29/91

7638-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 ダイオードの形成方法

⑮ 特 願 昭60-146081

⑯ 出 願 昭60(1985)7月3日

⑰ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑲ 代 理 人 弁理士 小 池 晃 外1名

## 明 細 書

## 1. 発明の名称

ダイオードの形成方法

## 2. 特許請求の範囲

絶縁基板上の半導体層に形成した電界効果トランジスタと同時にダイオードを形成する方法において、

上記電界効果トランジスタのソース・ドレイン電極を形成した後、該電極の電極取り出し部の絶縁層に開口部を設けると共に上記ダイオードのゲート電極上の上記絶縁層にも開口部を設け、上記開口部に露出したダイオードのゲート電極を除去することを特徴とするダイオードの形成方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は絶縁基板上に形成する集積回路の保護ダイオードの形成方法に関するものである。

## (発明の概要)

この発明は、絶縁基板上に形成する集積回路の保護ダイオードの形成方法において、

ソース・ドレイン電極取り出しのための開口部の形成と同時にダイオードのゲート電極上の絶縁層にも開口部を形成し、更に該ゲート電極を除去することにより、

静電破壊に強く、かつ確実な動作を行うダイオードを、プロセス上特に工程数を増加させることなく形成するものである。

## (従来の技術)

絶縁基板上に集積回路を形成する半導体装置においては、定格外の誤った使用や大きな外部雑音により、当該集積回路のTFT(薄膜トランジスタ)等のデバイスの劣化や破壊等が生ずることがある。このようなデバイスの劣化や破壊等を防止するため、集積回路には保護回路が設けられ、例えば、第3図に示すような保護ダイオードを用い

## 特開昭62-7167(2)

た保護回路が知られている。

第3図に示す保護ダイオードは、同一の絶縁基板上に同一のプロセスを経て形成されるTFTと同様に形成され、ゲート51とドレイン52を接続した構造のダイオードになっている。そして、例えばパッド電極等と接続する回路の入力部53に接続し、過電圧等に応じて回路を保護している。

このような保護ダイオードの一例を第4図の断面図を用いて説明する。

絶縁基板として酸化シリコン基板61上の薄い層にソース、ドレイン、チャンネルに該当する各領域63、62、64が形成され、更に、被覆絶縁膜69、ゲート絶縁膜65及びゲート電極66が被著形成されている。上記各領域63、62、64はシリコン等の半導体材料で形成され、該領域63、62は上記ゲート電極66によるセルフアラインでN型の不純物が導入されて活性化し、該領域64はI領域(真性半導体領域)あるいはP型の領域になっている。上記被覆絶縁膜69や上記ゲート絶縁膜65は酸化シリコン等で形成さ

れており、上記ゲート電極66は、不純物を導入して活性化した多結晶シリコンで形成されている。そして、上記領域63、62にはそれぞれコンタクトホールを介してA<sub>1</sub>電極67、68が取り付けられ、該A<sub>1</sub>電極67は保護回路の入力部等に接続し、該A<sub>1</sub>電極68は上記多結晶シリコンで形成されたゲート電極56と共にアースに接続している。

このような構造の保護ダイオードは、絶縁基板上に保護回路を構成するTFTのプロセスを変更することなく同様に形成され、過電圧等に応じて回路を保護している。

また、他の従来の保護ダイオードとしては、第5図に示す構造の保護ダイオードもあり、同様に絶縁基板として酸化シリコン基板81上の薄い層にソース、ドレイン、チャンネルに該当する各領域83、82、84が形成され、更に、被覆絶縁膜88、絶縁膜85が被著形成されている。上記領域83、82にはN型の不純物が導入され、上記領域84はP型の領域或いはI領域となってい

る。そして、上記領域83、82にはコンタクトホールを介してA<sub>1</sub>電極86、87がそれぞれ取り付けられている。この第5図に示す保護ダイオードはゲート電極が存在しない構造となっており、上記従来の一例と同様に過電圧等に応じて回路を保護することになる。

(発明が解決しようとする問題点)

第4図及び第5図に示したような構造の保護ダイオードは、次に述べるような問題点を有している。

まず、第4図に示す構造の保護ダイオードは、静電破壊に対して弱い構造であるといった欠点がある。即ち、所謂SOI(シリコン・オン・インシュレータ)LSIとしての集積回路は絶縁基板上に形成されているが、回路の入力部例えばパッド電極等に静電荷が帯電することがあり、回路が絶縁基板上に形成されているため帯電した電荷がリークせず、当該保護ダイオードを静電破壊して、入力部がゲート電極66を介して直接ア

ースに接続する虞れがある。

このような保護ダイオードの静電破壊を防止するために、アースとゲート電極66を接続せずに使用する場合は、当該ゲート電極66がフローティングゲートとして作用し、電荷が蓄積されてON状態となることが有り、メモリーのように動作して保護ダイオードとしての機能が得られなくなる場合がある。

一方、第5図に示すようなゲート電極を設けない構造の保護ダイオードは、上記静電破壊等の問題は生じない。しかしながら、ゲート電極を設けない保護ダイオードは、プロセス上の利便性を欠くといった問題点を有している。すなわち、上述したように保護ダイオードは、絶縁基板上に集積回路を構成するTFT等と同時に形成され、該TFTのソース領域、ドレイン領域はセルフアラインで形成される。しかしゲート電極を有しない保護ダイオードの領域83、82の形成は、セルフアラインで形成することができないためマスクが1枚余分に必要とされ、マスク合わせや不純物導

特開昭62-7167(3)

入等の工程が付加されて製造上の工程数が増加することになる。

そこで、本発明は上述の問題点に鑑み、静電破壊等の問題もなく確実に動作するダイオードを、特に工程数を増加させることなく製造することの可能なダイオードの形成方法を提供することを目的とする。

#### (問題点を解決するための手段)

絶縁基板上の半導体層に形成した電界効果トランジスタと同時にダイオードを形成する方法において、

上記電界効果トランジスタのソース・ドレイン電極を形成した後、該電極の電極取り出し部の絶縁層に開口部を設けると共に上記ダイオードのゲート電極上の上記絶縁層にも開口部を設け、上記開口部に露出したダイオードのゲート電極を除去することを特徴とするダイオードの形成方法により上述の問題点を解決する。

エッチングを用いて、露出しているポリシリコンの材料で形成されたゲート電極を除去するため、特に製造工程が増加することはない。

#### (実施例)

本発明の好適な実施例を図面を参照しながら説明する。

本発明の実施例のダイオードの形成方法は、絶縁基板上に電界効果トランジスタと共に形成され、保護ダイオードとして有用なダイオードを形成するものである。

この実施例のダイオードの形成方法を工程に従って説明する。先ず、第1図に示すように絶縁基板として酸化シリコン基板1上に薄膜のシリコンが被着形成され、この薄いシリコン層には、それぞれセルフアラインで形成されるN型の高濃度不純物領域2、3、12、13が形成されている。上記N型の高濃度不純物領域2、3の間の領域は1領域(真性半導体領域)4となっており、これら領域2、3、4は爾後ダイオードとして機能す

#### (作用)

ダイオードは、電界効果トランジスタと同時に形成され、製造の途中までは、ゲート電極を同様に設けている。従って、ソース、ドレイン領域に該当する領域を形成する場合には、上記電界効果トランジスタと同様にセルフアラインで形成することができる。そして、静電破壊等を防止して確実な動作を行わせるためゲート電極を後で除去することとしているが、このゲート電極の除去においては、上記電界効果トランジスタのソース・ドレイン電極取り出し部の開口と共にゲート電極上の絶縁層を除去して開口するため、ゲート電極除去のための個別のフォトリソの塗布やマスク等は不要であり、また、除去に際して、通常のエッチングの工程をそのまま応用することにより、ゲート電極を除去することができる。すなわち、通常Siを含有するA1電極をパターンエッチングする場合には、CF<sub>4</sub>等のプラズマエッチングも同時に使用されるが、このCF<sub>4</sub>等のプラズマ

る。また、上記N型の高濃度不純物領域12、13の間の領域も、1領域であるチャンネル領域14となっており、これら各領域12、13、14は爾後電界効果トランジスタとして機能する。尚、1領域4、チャンネル領域14はP型の不純物領域でもよい。これら各領域を有する薄いシリコン層上には、パターン化されたゲート絶縁膜5、15がそれぞれ被着形成され、さらにその上には同様にパターン化されたポリシリコンを被着してなるゲート電極6、16が被着形成されている。

上記ゲート電極6、16をマスクとしてセルフアラインで上記高濃度不純物領域2、3、12、13を形成後、全面には例えばPSG(リン・シリケートガラス)が保護絶縁膜7として被着される。この全面に被着された保護絶縁膜7は、電極取り出しのために一部が開口される。第1図aに示すように上記N型の高濃度不純物領域2、3、12、13の電極取り出し部には、保護絶縁膜7の一部を開口した開口部(コンタクトホール)9、10、19、20がそれぞれ設けられる。そして、

## 特開昭62-7167(4)

この電極取り出しのための開口と共に、前後ダイオードを形成する側のゲート電極6の上部も開口され、このようにゲート電極6上の保護絶縁膜7を開口して開口部8を設けることにより、当該ポリシリコンで形成されたゲート電極6は露出することになる。

続いて、ダイオード側のゲート電極6上の保護絶縁膜を除去して開口部8を設け、当該ゲート電極6を露出させた後、第2図bに示すように、全面にA膜21を被着させる。このA膜21はパターンエッチングされて所定の配線を行うものであり、エレクトロマイグレーション等の悪影響を緩和するため1μm程度のSiが含有されている。そして、この1μm程度のSiを含有するA膜21は、直接上記工程で開口したゲート電極6に開口部8を介して接続している。

このようにA膜21を全面に被着形成後、第1図cに示すように、該A膜21をパターンエッチングして、A膜電極22、23、24、25を形成して所定の配線を行うと共にダイオードの

ゲート電極6を除去する。先ず、全面に被着されたA膜21は、フォトリソ等を使用して所定のパターンにリン酸を用いて除去される。この場合に、A膜21は1μm程度のSiを含有するため、通常はSiを除去する必要からリン酸によるエッチングに加えてCF<sub>4</sub>等を用いたプラズマエッチングが行われる。ここで上述したようにポリシリコンで形成されたゲート電極6は開口し露出しており、このようにCF<sub>4</sub>等を用いたプラズマエッチングを使用することにより、当該ゲート電極6は除去されることになる。尚、マスクのマージン等の関係からゲート電極6には1μm程度の残部6aが残されることになる。

以上の工程を経て電界効果トランジスタとともにダイオードは形成され、保護ダイオードとして用いた場合には、ゲート電極を有しないため絶縁基板上面でも帯電して絶縁破壊等が生ずることもなく、また、メモリーとして動作するようなことはない。

このように本実施例のダイオード形成方法は、

示す応用例のように実施することもできる。

上述した例と同様に、絶縁基板31上に薄いシリコン層を形成し、該シリコン層には、N型の高濃度不純物領域32、33がゲート絶縁膜37を介してポリシリコンにより形成されるゲート電極をマスクとしてセルフアラインで形成される。これら薄いシリコン層、ゲート絶縁膜37及びゲート電極は、例えばPSGからなる保護絶縁膜45に被覆され、該保護絶縁膜45には電極取り出しのため開口部41、42が設けられると同時にゲート電極上に開口部40が開口される。続いて、1μm程度のSiを含むA膜が被着され、パターンエッチングされてA膜電極43、44が形成される。このパターンエッチングの際には上述したように、CF<sub>4</sub>等によるプラズマエッチングのため同時にゲート電極も除去されることになる。そして、本応用例においては、ゲート電極が除去されたところで該ゲート電極の残部38、39をマスクとしてP型の不純物をイオン注入し、上記薄いシリコン層にP型の活性領域36を形成する。

製造の途中までは、ダイオードにゲート電極6を電界効果トランジスタと同様に設けている。従って、ソース、ドレイン領域に該当する領域2、3を上記電界効果トランジスタと同様にセルフアラインで形成することができ、工程の簡略化を果たすことができる。そして、静電破壊やフローティング状態等を防止して確実な動作を行わせるためゲート電極6を除去しているが、上記電界効果トランジスタのソース・ドレイン領域12、13上の開口部19、20と同時にゲート電極6上の保護絶縁膜7を除去して開口部8を形成するため、ゲート電極6の除去のためのフォトリソの塗布やマスク等は不要である。また、上記Siを含有するA膜21をパターンエッチングするとき使用するCF<sub>4</sub>等のプラズマエッチングを用いて、A膜21のパターンエッチングと同時に露出しているポリシリコンの材料で形成されたゲート電極6を除去するため、特に製造工程が増加することはない。

このようなダイオードの形成方法は、第2図に

## 特開昭62-7167(5)

すなわち、薄いシリコン層の部分が、N型不純物領域32、I領域35、P型不純物領域36、I領域34、N型不純物領域33と並ぶように分割され、しかも、P型不純物領域36の形成には、上記ゲート電極の残部38、39をマスクとするセルフアラインで形成することができる。

この応用例の場合には、P型不純物領域36がセルフアラインで形成されることにより、保護ダイオードの微妙な対圧の制御が可能であり、また、工程上も特にフォトマスク等を必要とせず、分割化することができる。

尚、上述した実施例、応用例においては、ソース、ドレインに該当する領域にN型の不純物を導入したがP型の不純物領域とすることもできる。また、I領域はソース、ドレインに該当する領域に導入される不純物と反対導電型の不純物によって形成してもよい。また、応用例において残部をマスクとして形成する不純物領域は、一導電型に限定されない。また、A<sub>2</sub>層を1%程度のS<sub>1</sub>を含有するA<sub>2</sub>-S<sub>1</sub>としているが、含有率には限

定されない。

## (発明の効果)

本発明のダイオードの形成方法は、ゲート電極のないダイオードを形成することができ、このダイオードは静電破壊等の問題もなく確実に動作する。また、プロセスにおいては、製造の途中までゲート電極を有しているため、セルフアラインで高濃度の不純物領域を形成することができ、工程の短縮が実現される。また、電極取り出しのための開口と同時にゲート電極上部を開口して、通常用いられるエッチング工程で該ゲート電極を除去するため、ゲート電極除去のためのマスク等は不要であり、プロセス上も簡便に優れたダイオードを形成することができる。

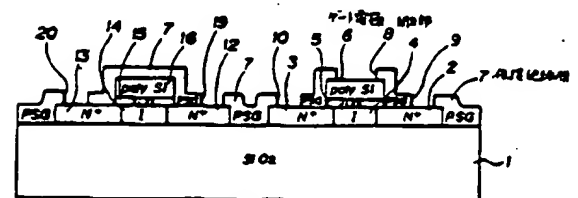
## 4. 図面の簡単な説明

第1図a～第1図cは本発明に係るダイオードの形成方法の一実施例を示す概略断面図であり、第2図は本発明に係るダイオードの形成方法の一

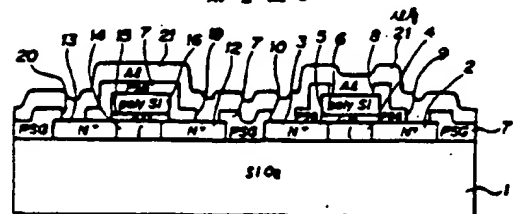
応用例を示す概略断面図であり、第3図は保護ダイオードの回路図であり、第4図及び第5図は従来のダイオードの概略断面図である。

- 1・・・酸化シリコン基板
- 2、3・・・高濃度不純物領域(ダイオード側)
- 12、13・・・高濃度不純物領域(電界効果トランジスタ側)
- 6・・・ゲート電極
- 7・・・保護絶縁膜
- 8・・・開口部(ゲート電極上)
- 9、10、19、20・・・開口部
- 21・・・A<sub>2</sub>層

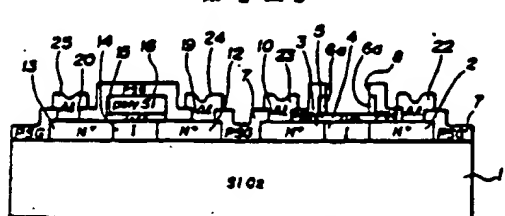
特許出願人 ソニー株式会社  
代理人 弁理士 小池 晃  
同 田村 榮一



開口  
第1図a

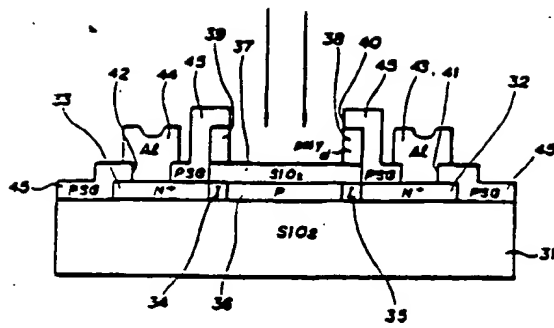


A<sub>2</sub>層  
第1図b



パターニング  
第1図c

特開昭62-7167 (6)



従来例  
第 2 図

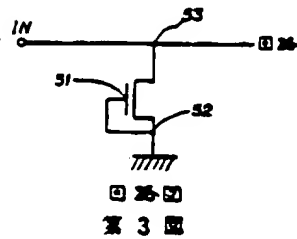
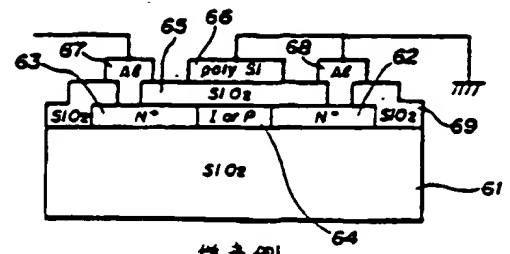
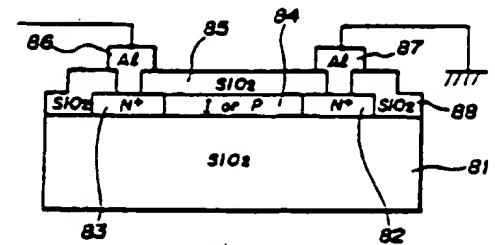


図 25-26  
第 3 図



従来例  
第 4 図



従来例  
第 5 図